

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—177566

⑪ Int. Cl.<sup>3</sup>  
H 01 L 29/80  
21/76

識別記号

庁内整理番号  
7925—5F  
8122—5F

⑬ 公開 昭和57年(1982)11月1日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ ショットキー障壁ゲート型電界効果トランジスタ

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑮ 特 願 昭56—61996

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭56(1981)4月24日

東京都港区芝5丁目33番1号

⑱ 発 明 者 牟田弘樹

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

ショットキー障壁ゲート型電界効果トランジスタ

2. 特許請求の範囲

(1) 第1導電型の半導体基板の上に、第2導電型の活性層を有し、該第2導電型活性層と金属との接触により形成されるショットキーをゲートとするショットキー障壁ゲート型電界効果トランジスタにおいて、側面に約0.5μmの定はそれ以下の酸化膜が形成された白金シリサイド層と下層のシリコン活性層との接触面をショットキー障壁ゲートとすゲート領域を有し、前記酸化膜の膜厚の範囲内でゲート領域をソース、ドレイン領域より離隔させてなるショットキー障壁ゲート型電界効果トランジスタ。

3. 発明の詳細な説明

本発明は高集積化にすぐれたショットキー障壁ゲート型電界効果トランジスタに関するものである。

一般に電界効果トランジスタは、ゲートの構造

により、(1)接合ゲート型(2)ショットキー障壁ゲート型(3)絶縁ゲート型の3種に大別される。電界効果トランジスタの動作は、ゲート端子に信号電圧を印加することによりソースとドレイン両電極間に流れる多数キャリアによる電流の通路すなわちチャネルの抵抗を変化させることによるものである。電界効果トランジスタには高入力インピーダンスであること、少数キャリアの蓄積効果がないのでスイッチング速度が速いこと、などの優れた特長がある。そのため、増幅用のみならずその他論理素子としても、接合ゲート型および絶縁ゲート型の電界効果トランジスタが多く用いられている。一般に、電界効果トランジスタを評価するパラメータの一つとして相互コンダクタンス $g_m$ が用いられている。この相互コンダクタンスはキャリアの移動度を $\mu$ 、キャリア濃度を $N$ 、ソースとドレインとの間の距離を $L$ とすると、 $g_m \propto \mu N/L$ で与えられる。相互コンダクタンスを大きくするには、出来るだけキャリアの移動度を大きくすること、できるだけソースとドレインとの間の距離

を小さくすること、等々の工夫が必要である。

現在、接合ゲート型電界効果トランジスタは拡散工程などの複雑な工程を含むため技術的にソースとドレインとの間の距離を小さくすることは困難である。一方絶縁ゲート型電界効果トランジスタの場合はキャリア移動度が接合ゲート型に比較して著しく劣ることが欠点である。ショットキー障壁ゲート型電界効果トランジスタは、工程が簡単でソースとドレインとの間の距離を小さくすることが比較的容易であり、しかもキャリア移動度は接合ゲート型と同様レベルの移動度が用いられる等々の点で有利である。ショットキー障壁ゲート型電界効果トランジスタにはゲートバイアス電圧が零ボルトの時ソースとドレインとの間に電流が流れる空乏変調動作型のもととゲートバイアス電圧が零ボルトの時電流が流れない増加変調動作型のものとの2種類がある。空乏変調動作型は $g_m$ が大きく高周波増幅用デバイスとして用いられているが、論理回路を構成するには入力および出力のレベルがシフトするためメモリ論理演算回路用

14, 15より構成されている。17は素子内分離領域に設けたチャネルストップ領域であり、18は素子分離のための厚い酸化膜である。今チャネル層としてのn層の不純物濃度をN、シリコンの比誘電率を $\epsilon$ 、真空の誘電率を $\epsilon_0$ 、電子の電荷をq、シリコン結晶と金属との接触により形成されるショットキー障壁の拡散電位差を $\phi$ とすると、ゲートバイアス $V_g$ が零のときのショットキー障壁の空乏層16の幅dは

$$d = \sqrt{\frac{2\epsilon_0 \epsilon \phi}{qN}} \quad (1)$$

である。従って今n層の厚さをtとすると、 $t > d$ のとき前述した空乏変調動作型となり、 $t \leq d$ のとき増加変調動作型となる。

以下、メモリ及び論理集積回路のドライバー素子として有利な増加変調動作型のことを例にとり、その製造工程の詳細について述べ、その全容を理解する一助とする。

増加変調動作型ショットキー障壁ゲート電界効

果素子としては不向きであるがしかし論理回路構成における負荷としては用いられている。一方増加変調動作型はゲートバイアス電圧が零ボルトの時ソースとドレインとの間に流れる電流が遮断されており、ゲートに順方向バイアスを印加することによりソースとドレインとの間に電流通路(チャネル)が形成されドレイン電流が増加する特徴を有する。従ってこの増加変調動作型電界効果トランジスタを用いると論理回路を構成する場合に論理回路の入力信号と出力信号のレベルを同じにすることができ、結果としてそれらの論理回路を接続する場合その間にレベルシフト回路を必要とせず回路がきわめて簡単化出来るので回路構成上有利である。従って論理回路におけるドライバーとして用いられている。

第1図にショットキー障壁ゲート電界効果トランジスタの基本構造の概略を示す。p<sup>+</sup>型高抵抗シリコン結晶11の表面に形成した基板結晶と反対導電型のn層12、ショットキーゲートを形成するゲート金属電極13、ソース・ドレインn<sup>+</sup>層

果トランジスタの相互コンダクタンス $g_m$ は次式で与えられる。

$$g_m = \sqrt{2\epsilon_0 \epsilon q N} \cdot A \cdot (W/L) (\sqrt{\phi - V_T} - \sqrt{\phi - V_0}) \quad (2)$$

$$V_T = \phi - (Nd^2/2\epsilon_0 \cdot \epsilon) \quad (3)$$

$V_T$ は閾値電圧を与える。 $\phi$ はショットキー障壁を形成する金属やシリコン結晶の不純物濃度によって変るが上式から $\phi$ は出来るだけ大きい方が有利であることがわかる。ここでさらに重要なことは(1)、(2)、はある程度理想的状態での $g_m$ である。実際にはこれに直列抵抗による影響が大きく効いてくる。第1図に示すソース抵抗 $R_s$ 及びドレイン抵抗 $R_d$ が存在すると(1)式の $g_m$ は

$$g_m = \frac{g'_m}{1 + (R_s + R_d)g'_m} \approx \frac{g_m}{1 + R_s g_m} \quad (R_s > R_d \text{ 飽和領域}) \quad (4)$$

上式から特に $R_s$ を小さくすることが重要であることがわかる。

増加変調動作型の場合 $t \approx d$ であるため今 $\phi =$

0.85 eVとすると $\lambda \approx 0.2 \mu\text{m}$ となり、 $\lambda$ の厚さを薄くしなければならないと云うきわめて本質的な事情により $R_s$ 及び $R_d$ の値はきわめて大きくなる。また従来のショットキー障壁ゲート電界効果トランジスタは、製造工程上でも上記直列抵抗が大きい値となり理想的 $\theta_m$ の値から程遠いものとなっていた。即ちこの様子を第2図に示す一連工程によって説明する。

第2図(a)は比抵抗数 $\pm 0.01 \Omega\text{cm}$ のp型シリコン基板21を用いて通常のnチャネルMOS型集積回路と同一の工程で選択酸化によってチャネルストップとして $p^+$ 層23および厚いフィルド酸化膜22を形成した後500 Å以下の薄い酸化膜24を形成する。その後第2図(b)に示すように写真蝕刻法によってソース・ドレイン領域となる部分を開口し、レジスト等で形成した層25をマスクとして例えばイオン注入法等々の添加方法によって $10^{15} \sim 10^{16} \text{cm}^{-2}$ の不純物を注入し $n^+$ 層26を形成する。このときこのソース・ドレインの間にゲート電極を挿入しなければならないため、このソース

層203を形成し一連の工程が終了する。

上記した一連の従来工程の問題として第2図(b)に示したようにソース・ドレイン $n^+$ 領域形成後にソースとドレインの間にゲート電極領域を挿入するため目合せ余裕をみることを考えるとソースとドレイン間隔を十分にとる必要がある。また増加変動作型では活性層の深さ $d$ が前述した如く薄くしなければならないため層の厚さから制限をうけ、不純物の注入により形成されるソース、ドレイン領域をゲート領域に近づくには限界があり、結局直列抵抗 $R_s + R_d \approx 100 \sim 200 \Omega$ 以下に下げることができず、 $\theta_m$ を大巾に減少させることとなる。従って所定の $\theta_m$ を得るためにはチャネル幅を長くする必要が生じ、それによってトランジスタ1枚の面積が増大する原因となり、集積回路を設計するに際し非常に不利となる。

本発明は上記直列抵抗を大巾に減少させることによってトランジスタの特性を向上させ低電力、高密度集積回路に適したショットキー障壁ゲート電界効果トランジスタを提供するものである。

ドレイン間隔は目合せの最悪の場合を考え6  $\mu\text{m}$ 以上の余裕をもたせる必要がある。このために前述した直列抵抗が大きくなって従来のプロセスの大きな欠点となっていたのである。

次に第2図(c)に示すようにマスク層25を除去した後、全面にリン、ヒ素、アンチモン等のn型不純物を例えばイオン注入法等によって注入し、活性層としてのn層27を形成する。つづいて第2図(d)にみるように、ショットキー障壁を形成するゲート領域あるいはソース・ドレインのオーミック接合を形成する領域の薄い酸化膜24を、レジスト等で形成したマスク層28を用いて写真蝕刻法によって開口除去する。次いで第2図(e)に示すように金属あるいは金属珪化物29を付着させる。レジスト上の不要金属層は所謂リフトオフ法によってレジストと共に除去する。ゲート電極領域とソース・ドレインのオーミック電極領域に金属膜が残留形成される。第2図(f)で示すようにこの他の工程として全面に絶縁膜201を形成し、コンタクトホール202を形成した後上部配線

すなわち、本発明は第1導電型の半導体基板結晶の上に、第2導電型の活性層を有し、該第2導電型活性層と金属との接触により形成されるショットキー障壁をゲートとするショットキー障壁ゲート型電界効果トランジスタにおいて、側面に約5  $\mu\text{m}$ 又はそれ以下の酸化膜が形成された白金シリサイド層と下層のシリコン活性層との接触面をショットキー障壁ゲートとするゲート領域を有し、前記酸化膜の膜厚の範囲内でゲート領域をソース・ドレイン領域より離隔させてなるショットキー障壁ゲート型電界効果トランジスタである。

以下本発明の典型的な実施の一例について図面を用いながら詳細に説明する。第3図は本発明トランジスタの製造工程の一例を示すものである。すなわち、第3図(a)は比抵抗数 $\pm 0.01 \Omega\text{cm}$ のp型シリコン基板31を用いて従来のnチャネルMOS型集積回路と同一工程で選択酸化法によって、チャネルストップとしての $p^+$ 層33および厚いフィルド酸化膜32を形成した後薄い酸化膜34を形成した状態を示す。この酸化膜34の全面にフォ

レジスタを塗布し、第3図(b)に示すように薄い酸化膜34の形成領域中においてショットキーゲート領域となすべき部分を覆うようにレジストパターン35を形成する。このレジストをマスクとして全面に $A_2$ のイオン注入をドーパ量 $10^{15} \sim 10^{16} \text{ cm}^{-2}$ の高濃度に行う。

前記レジストを除去した後、第3図(c)に示すように全面に活性層37を形成するために $5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーパ量で $A_2$ イオンを注入する。注入イオンの活性化をはかるため $900 \sim 1000^\circ\text{C}$ の $\text{N}_2$ ガス中で熱処理を行った後、表面の薄い酸化膜を除去する。つづいて第3図(d)に示すように全面にCVD法あるいは高真空蒸着法等により多結晶あるいはアモルファスのシリコン層38を付着させる。ひきつづきCVD法あるいは蒸着法によって前記シリコン層の表面にシリコン窒化膜39を付着させる。第3図(e)に示すように写真蝕刻法301によってゲート領域及びソース・ドレイン領域にシリコン窒化膜で表面が被覆されたシリコン層を残すように不要部分のシリコン層を腐蝕除去する。

白金シリサイド層304とその下層のシリコンn型活性層37との接触面にショットキー障壁が形成され、ソース及びドレイン領域では白金シリサイドと $n^+$ シリコンによる良好なオーミック接触が形成される。この後の工程は通常のMOS型集積回路の製造方法に準拠してさしたる不都合は生じない。すなわち次に層間絶縁膜305の付着、コンタクトホール306の開孔を進め、アルミニウムあるいはモリブデン等による上部配線307を設けて素子間配線を完了して目的とするショットキー障壁ゲートFETが完成する。この状態を示したのが第3図(f)である。

本発明は以上のように、ゲート領域に、酸化膜302で側面が覆われた白金シリサイド層304を設け、ソース・ドレイン領域に注入されたイオンによって形成される $n^+$ 領域36を酸化膜302の膜厚の範囲内で離隔させるもので、通常の膜厚 $0.5 \mu\text{m}$ 又はそれ以下の距離でゲートと、ソース又はドレインとを離隔させることができる。酸化膜302の膜厚を $0.5 \mu\text{m}$ とすると、空乏層は約 $0.2$

次に第3図(g)に示すように酸化雰囲気中にさらすことによって前記残留シリコン層38の側面のみが酸化し、酸化膜 $2000 \sim 5000 \text{ \AA}$ の厚さの酸化膜302が形成される。この酸化膜302の膜厚は条件設定により自由にコントロールできる。さらに全面に $10^{15} \sim 10^{16} \text{ cm}^{-2}$ のドーパ量の $A_2$ イオンを注入し、熱処理することによって注入イオンの活性化をはかる。前記側面酸化膜302の形成及びその後のイオン注入工程でのコントロールが本発明の最も重要な工程でこの工程によってソース・ゲート間、及びドレイン・ゲート間距離を約 $0.5 \mu\text{m}$ またはそれ以下のせまい間隔に短縮することが可能となる。第3図(h)に示すようにシリコン層上のシリコン窒化膜39を除去した後全面にスパッタリングあるいは高真空中蒸着法によって白金膜303を付着させる。第3図(i)に示すように水素あるいは窒素中雰囲気中で熱処理を行うと残留させておいたゲート、ソース、及びドレイン領域上のシリコン層38は全部白金シリサイド層304に変換される。すなわちゲート領域では、

$0.5 \mu\text{m}$ 程度ドレイン側に片寄り、ゲート領域と、ドレイン領域との距離は約 $0.3 \mu\text{m}$ となる。したがって、実質上、 $0.5 \mu\text{m}$ 以下の範囲内で、ゲート領域と、ドレイン領域とが隔離されることとなって直流抵抗を大巾に減少させることができる。もっとも、より小さいドレイン電圧で動作させるものにおいては、酸化膜302の膜厚を $0.5 \mu\text{m}$ 以下とすることも可能である。

したがって、本発明によれば、半導体装置を小型化し、低電力高密度の集積回路を実現することができる。

第4図は本発明によって得られたショットキー障壁ゲート電界効果トランジスタの $g_m$ ①特性を従来の方法で得られたものの $g_m$ ②と比較して示したものである。この図からもあきらかなようにソース・ゲート間距離を短縮する本発明のものは $g_m$ の大きな値が得られ従来に比較して大巾な改良がなされていることがわかる。この $g_m$ の増大はトランジスタの面積縮小につながり今後の高集積化のためにきわめて有利であることは言うまでもな

5.

## 4. 図面の簡単な説明

第1図はショットキー障壁ゲート電界効果トランジスタの基本構造を示す概略図、

第2図は従来のショットキー障壁ゲート電界効果トランジスタの製造方法の一例を示す工程図、

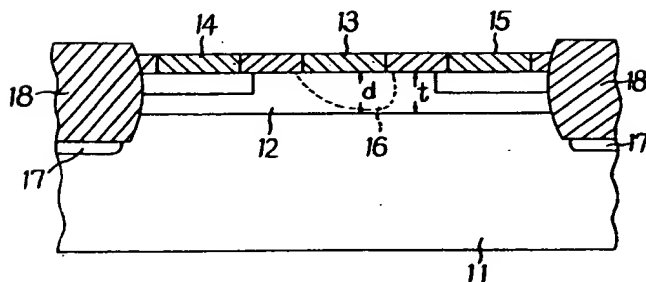
第3図は本発明の製造方法の典型的一例を示した工程図、

第4図は相互コンダクタンス  $g_m$  のゲート印加電圧依存性を示す特性図である。

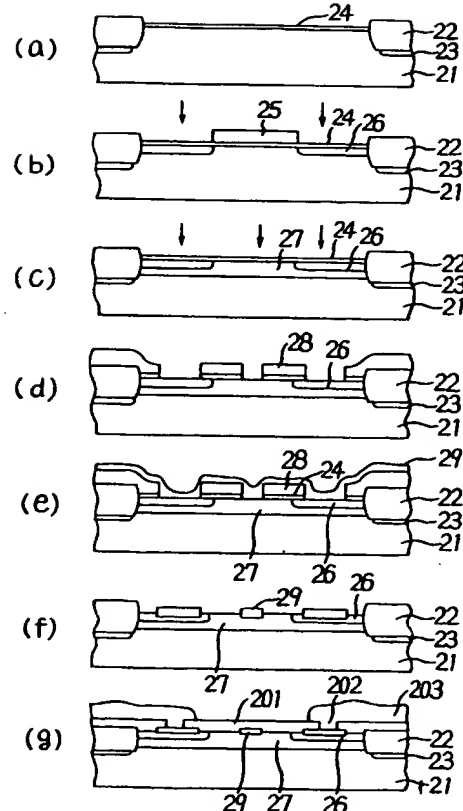
31… $p^-$ 型基板、32…素子分離のための絶縁膜、33…チャネルストップとしての $p^+$ 層、34…薄い酸化膜、35…レジストマスク、36…ソース・ドレイン $n^+$ 領域、37… $n$ 型活性層、38…シリコン膜層、39…シリコン窒化膜層、

302…ゲート電極の側面酸化膜、303…金属膜、304…白金シリサイド層、305…層間絶縁膜層、306…コンタクトホール、307…上部配線層。

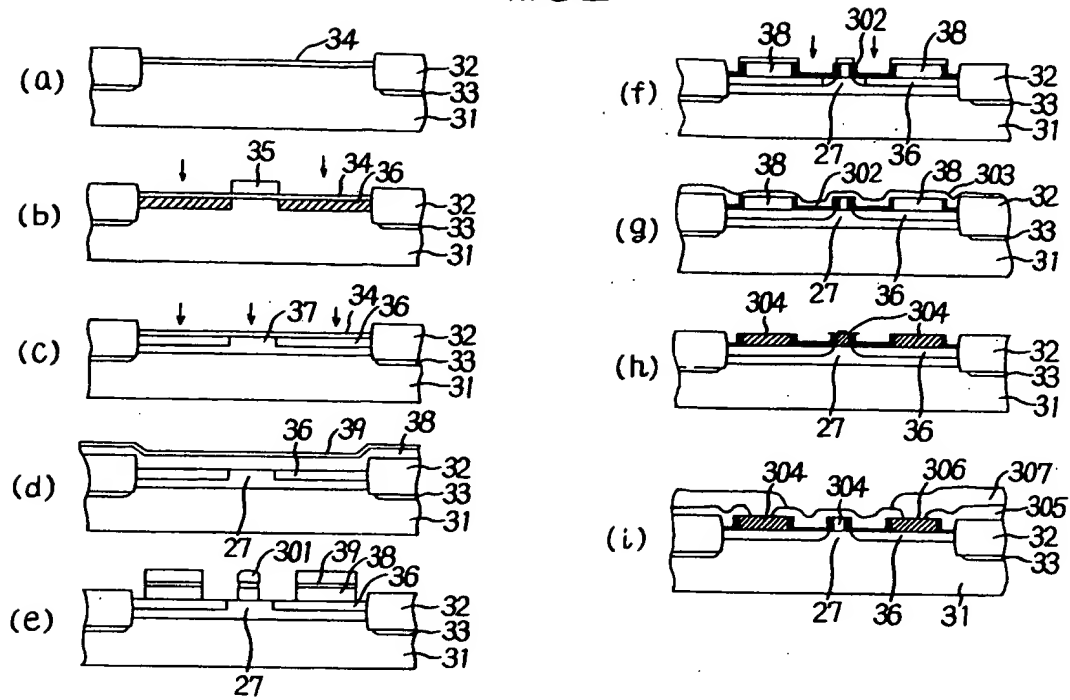
第1図



第2図



第3図



第4図

